



#4

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 28 FEV. 2002

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint Petersburg
75800 PARIS cedex 08
Téléphone : 33 (1) 53 04 53 04
Télécopie : 33 (1) 42 93 59 30
www.inpi.fr



THIS PAGE BLANK (USPTO)



INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE
26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

**BREVET D'INVENTION
CERTIFICAT D'UTILITÉ**
Code de la propriété intellectuelle-Livre VI



REQUÊTE EN DÉLIVRANCE 1/2

Réservé à L'INPI

Cet imprimé est à remplir lisiblement à l'encre noire

REMISE DES PIÈCES DATE 26 FEV 2001 LIEU 38 INPI GRENOBLE N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI 0102584 DATE DE DÉPÔT ATTRIBUÉE 26 FEV. 2001 PAR L'INPI Vos références pour ce dossier (facultatif) B4949		1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE Cabinet Michel de Beaumont 1 rue Champollion 38000 GRENOBLE	
Confirmation d'un dépôt par télécopie <input type="checkbox"/> N° attribué par l'INPI à la télécopie			
2 NATURE DE LA DEMANDE		Cochez l'une des 4 cases suivantes	
Demande de Brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
Demande de brevet initiale ou demande de certificat d'utilité initiale		N°	Date / /
Transformation d'une demande de brevet européen		<input type="checkbox"/>	Date / /
3 TITRE DE L'INVENTION (200 caractères ou espaces maximum) PROCÉDÉ ET SYSTÈME DE TEST D'UN CIRCUIT INTÉGRÉ			
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation Date N° Pays ou organisation Date / / N° Pays ou organisation Date / / N° <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé "Suite"	
5 DEMANDEUR		<input checked="" type="checkbox"/> S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé "Suite"	
Nom ou dénomination sociale		STMicroelectronics SA	
Prénoms			
Forme juridique		Société anonyme	
N° SIREN			
Code APE-NAF			
ADRESSE	Rue	7, Avenue Galliéni	
	Code postal et ville	94250	GENTILLY
Pays		FRANCE	
Nationalité		Française	
N° de téléphone (facultatif)			
N° de télécopie (facultatif)			
Adresse électronique (facultatif)			

Réservé à L'INPI

REMISE DES PIÈCES

 DATE **26 FEV 2001**
 LIEU **38 INPI GRENOBLE**

N° D'ENREGISTREMENT

NATIONAL ATTRIBUÉ PAR L'INPI

0102584

Vos références pour ce dossier

(facultatif) **B4949****6 MANDATAIRE**

Nom

Prénom

Cabinet ou Société

Cabinet Michel de Beaumont

N° de pouvoir permanent et/ou
de lien contractuel

ADRESSE

Rue

1 Rue Champollion

Code postal et ville

38000

GRENOBLE

N° de téléphone (facultatif)

04.76.51.84.51

N° de télécopie (facultatif)

04.76.44.62.54

Adresse électronique (facultatif)

cab.beaumont@wanadoo.fr

7 INVENTEUR (S)

Les inventeurs sont les demandeurs

☐ Oui☒ Non

Dans ce cas fournir une désignation d'inventeur (s) séparée

8 RAPPORT DE RECHERCHE

Uniquement pour une demande de brevet (y compris division et transformation)

Établissement immédiat

☒ ☐

ou établissement différé

Paiement échelonné de la redevance

Paiement en trois versements, uniquement pour les personnes physiques

☐ Oui☒ Non**9 RÉDUCTION DU TAUX DES REDEVANCES**

Uniquement pour les personnes physiques

☐ Requête pour la première fois pour cette invention (joindre un avis de non-imposition)☐ Requête antérieurement à ce dépôt (joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence) :Si vous avez utilisé l'imprimé "Suite", indiquez le
nombre de pages jointes

1

**10 SIGNATURE DU DEMANDEUR
OU DU MANDATAIRE**
(Nom et qualité du signataire)Laurent Thibon
Mandataire n°924059VISA DE LA PREFECTURE
OU DE L'INPI**D.R.G.R.**

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.



26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

BREVET D'INVENTION
CERTIFICAT D'UTILITÉ
Code de la propriété intellectuelle-Livre VI

cerfa
N° 55-1328

REQUÊTE EN DÉLIVRANCE
Page suite n°1/1

Réservé à L'INPI

REMISE DES PIÈCES

DATE **26 FEV 2001**
LIEU **38 INPI GRENOBLE**

N° D'ENREGISTREMENT

NATIONAL ATTRIBUÉ PAR L'INPI

0102584

Cet imprimé est à remplir lisiblement à l'encre noire

Vos références pour ce dossier (facultatif) **B4949**

4 DÉCLARATION DE PRIORITÉ
OU REQUÊTE DU BÉNÉFICE DE
LA DATE DE DÉPÔT D'UNE
DEMANDE ANTÉRIEURE FRANÇAISE

Pays ou organisation

Date / /

N°

Pays ou organisation

Date / /

N°

Pays ou organisation

Date / /

N°

5 DEMANDEUR

Nom ou dénomination sociale

Infineon Technologies AG

Prénoms

Forme juridique

Société de droit allemand

N° SIREN

Code APE-NAF

ADRESSE

Rue

St-Martin-Strasse 53

Code postal et ville

81541

MUNCHEN

Pays

ALLEMAGNE

Nationalité

Allemande

N° de téléphone (facultatif)

N° de télécopie (facultatif)

Adresse électronique (facultatif)

5 DEMANDEUR

Nom ou dénomination sociale

Prénoms

Forme juridique

N° SIREN

Code APE-NAF

ADRESSE

Rue

Code postal et ville

Pays

Nationalité

N° de téléphone (facultatif)

N° de télécopie (facultatif)

Adresse électronique (facultatif)

10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE

(Nom et qualité du signataire)

Laurent Thibon
Mandataire n°924059

VISA DE LA PREFECTURE
OU DE L'INPI

D.R.G.R.

PROCÉDÉ ET SYSTÈME DE TEST D'UN CIRCUIT INTÉGRÉ

La présente invention concerne un procédé et un système améliorés de test fonctionnel d'un circuit intégré.

Lors d'un test fonctionnel, on vérifie si un circuit intégré remplit les fonctions pour lesquelles il a été conçu. On
5 fournit des signaux prédéterminés aux entrées du circuit ou de blocs déterminés du circuit et on lit les sorties pour déterminer si elles correspondent à une réponse attendue. Pour tester toutes les erreurs possibles d'un circuit intégré, une première approche consiste à fournir au circuit intégré toutes les combinaisons
10 possibles d'états d'entrée et à vérifier tous les signaux fournis en réponse par le circuit. Toutefois ceci est très long. Des modèles d'erreur permettent de déterminer les signaux de test (ou vecteurs de test) les plus adaptés pour tester un circuit.

On s'intéressera plus particulièrement ici à un procédé
15 de test appelé test par balayage, appliqué à un bloc logique d'un circuit intégré dont chaque entrée est reliée à une borne de sortie d'une bascule, et dont chaque sortie est reliée à une borne d'entrée d'une bascule. Un système de test par balayage comprend des moyens pour commander l'écriture et la lecture de
20 signaux de test dans lesdites bascules.

La figure 1 représente schématiquement un système de test par balayage associé à un circuit intégré comprenant un bloc

de logique combinatoire, ou bloc logique LB. Le circuit comprend trois bascules FF1, FF2 et FF3. Les bornes d'entrée D1 et de sortie Q1 de la bascule FF1 sont respectivement couplées à une borne de sortie O1 et une borne d'entrée I1 du bloc LB. De même, les bornes d'entrée et de sortie D2, Q2 et D3, Q3 des bascules FF2 et FF3 sont respectivement couplées à des bornes de sortie et d'entrée O2, I2 et O3, I3 du bloc LB. Les bornes d'horloge CK1, CK2 et CK3 des bascules FF1, FF2 et FF3 reçoivent un même signal d'horloge CLK. Les bascules FF1, FF2 et FF3, ainsi que le bloc logique LB, forment la partie fonctionnelle du circuit. Le système de test du circuit comprend des multiplexeurs Mi (où i est compris entre 1 et 3) associés chacun à la bascule FFi de même rang. La borne de sortie de chaque multiplexeur Mi est reliée à l'entrée Di de même rang. Une première borne d'entrée de chaque multiplexeur Mi est reliée à la borne de sortie Oi du bloc LB. Une borne de commande de chaque multiplexeur Mi reçoit un signal SC. La seconde borne d'entrée du multiplexeur M1 est reliée à une borne d'entrée SI du circuit. Les secondes bornes d'entrée des multiplexeurs M2 et M3 sont respectivement reliées aux bornes de sortie Q1 et Q2 des bascules FF1 et FF2. La borne Q3 de la bascule FF3 est reliée à une borne de sortie SO du circuit.

En dehors des périodes de test, le signal SC est inactif et les multiplexeurs Mi sont commandés de telle manière que les sorties Oi du bloc logique sont reliées aux entrées Di des bascules FFi. Lorsque le signal SC est actif, les multiplexeurs Mi sont commandés de telle manière que les bascules FFi forment un registre de test de type premier-entré/premier-sorti cadencé par le signal d'horloge CLK.

La figure 2 illustre schématiquement le fonctionnement du système de test de la figure 1.

Lors d'une première étape, le signal SC est maintenu actif de manière que les bascules FF1, FF2 et FF3 forment le registre de test. Des données de test TD3, TD2 et TD1 sont successivement présentées à la borne SI en cadence avec des impulsions du signal d'horloge CLK, à des instants t1, t2 et t3.

A l'instant t_3 , les données TD3, TD2 et TD1 sont respectivement mémorisées dans les bascules FF3, FF2 et FF1. Sur les bornes de sortie O3, O2 et O1 du bloc logique LB sont alors présentes des données TD3', TD2' et TD1'.

5 Lors d'une deuxième étape, après l'instant t_3 , le signal SC est rendu inactif de manière que les multiplexeurs relient les bornes de sortie O3, O2 et O1 du bloc logique aux bornes d'entrée D3, D2 et D1 des bascules. Lors de l'impulsion suivante du signal CLK, à un instant t_4 , les données TD3', TD2' et TD1' sont mémorisées dans les bascules D3, D2 et D1. Le signal SC est de nouveau rendu actif après l'instant t_4 .

10 Lors d'une troisième étape, à partir de la réactivation du signal SC, les données TD3', TD2' et TD1' sont décalées dans le registre de test en cadence avec des impulsions du signal d'horloge CLK, à des instants t_5 et t_6 , et fournies successivement à la borne SO. Pendant ce décalage, on introduit dans le registre un nouveau vecteur de test TD6, TD5, TD4. Les données TD3', TD2' et TD1' fournies à la borne SO sont comparées avec leurs valeurs attendues, généralement des "0" ou des "1" logiques.

15 Ces trois étapes sont répétées autant de fois que l'on a prévu de vecteurs de test. L'analyse des données fournies par le bloc logique en réponse aux données de test, recueillies lors de chaque troisième étape, permet de déterminer si le circuit comporte des éléments défectueux. Un élément défectueux est, selon le modèle d'erreur classiquement utilisé, un élément dont une sortie est anormalement figée à 0 ou à 1. Un tel système de test fonctionne de manière satisfaisante si le bloc logique ne comprend aucun élément susceptible de perturber le fonctionnement du registre de test, ou de perturber la propagation des signaux dans le bloc logique. Même si de tels éléments perturbateurs existent, les systèmes de test existants sont adaptés à les inhiber.

20 La figure 3 représente schématiquement un système de test d'un circuit intégré semblable au circuit représenté en

figure 1, dans lequel on a inséré trois types d'éléments perturbateurs.

Un premier élément perturbateur est une porte ET 2 dont une première entrée reçoit le signal d'horloge CLK, dont la
5 deuxième entrée est couplée à un signal de validation d'horloge EN1 produit dans le bloc LB, et dont la sortie est reliée à la borne CK2. La porte 2 est susceptible de perturber le séquençement du registre de test, si par exemple des données fournies au bloc LB entraînent l'inactivation du signal EN1 et le blocage de
10 la bascule FF2. L'ensemble des bascules ne peut alors plus fonctionner en registre à décalage pendant le test. Pour résoudre ce type de problème et rendre le circuit testable, une solution proposée dans l'art antérieur consiste à rajouter une porte OU 4 dont la borne de sortie est reliée à la seconde borne d'entrée de
15 la porte ET 2, dont une première borne d'entrée reçoit le signal de validation d'horloge EN1, et dont une seconde borne d'entrée reçoit un signal de commande TEST. Lorsque le circuit n'est pas testé, le signal TEST est rendu inactif, la porte 4 transmet le signal EN1 à la porte 2 sans avoir d'influence sur le fonction-
20 nement du circuit. Lorsque le circuit est testé, le signal TEST est activé, la sortie de la porte 4 reste activée quel que soit le signal EN1 et la porte 2 n'est plus susceptible de perturber le séquençement du registre de test.

Un deuxième élément perturbateur est un élément 5 qui
25 fournit un signal d'initialisation RS à une borne d'initialisation RST de la bascule FF3 par l'intermédiaire d'une borne de sortie O5. L'élément 5 est susceptible de perturber le séquençement du registre de test, si par exemple des données de test fournies au bloc LB entraînent l'activation du signal RS et
30 l'initialisation de la bascule FF3. Pour rendre le circuit testable, on a rajouté un multiplexeur 6 dont une borne de sortie est reliée à la borne RST de la bascule FF3 et dont une première borne d'entrée est reliée à la sortie O5 du bloc logique. Une
seconde entrée du multiplexeur 6 reçoit un signal commandable
35 TRST, par exemple inactif en permanence. Lorsque le circuit n'est

pas testé, le signal TEST est rendu inactif et le multiplexeur 6 transmet le signal RS sans avoir d'influence sur le fonctionnement du circuit. Lorsque le circuit est testé, le signal TEST est rendu actif et le multiplexeur 6 fournit en permanence le signal commandable TRST à la borne RST de la bascule FF3. De cette manière, le bloc 5 n'est pas susceptible de perturber le séquençement du registre de test.

Un troisième élément perturbateur est un commutateur 8 susceptible de perturber la propagation d'un signal OD fourni par le bloc LB à la borne de sortie O1. La borne O1 est reliée à un élément de mémorisation du signal 9 et le commutateur 8 reçoit un signal EN2 produit par le bloc LB. Le commutateur 8 est susceptible de perturber le test du circuit, notamment lors d'une deuxième étape du test, si des données de test fournies au bloc LB entraînent l'inactivation du signal EN2 et l'ouverture du commutateur 8. L'élément de mémorisation 9 fournit alors la dernière valeur du signal qu'il a reçue. Le circuit logique n'est plus combinatoire et il n'est plus testable par balayage. Pour rendre le circuit testable, on a rajouté une porte OU 10 dont la sortie est reliée de manière à commander le commutateur 8, dont une première borne d'entrée reçoit le signal de validation EN2, et dont une seconde borne d'entrée reçoit le signal TEST. Lorsque le circuit n'est pas testé, le signal TEST est rendu inactif et la porte 10 transmet le signal EN2 au commutateur 8 sans avoir d'influence sur le fonctionnement du circuit. Lorsque le circuit est testé, le signal TEST est rendu actif, la sortie de la porte 10 reste activée quel que soit le signal EN2 et le commutateur 8 reste fermé et n'est plus susceptible de perturber le test du circuit.

Lorsque le signal TEST est rendu actif, le fonctionnement du système de test représenté en figure 3 est semblable au fonctionnement illustré en figure 2 du système de test de la figure 1.

Un inconvénient du système de test de la figure 3 est qu'il ne permet pas de tester le bon fonctionnement des éléments 2, 5 et 8 inhibés par les moyens d'inhibition 4, 6 et 10 du

5 système de test. Le test des éléments 2, 5 et 8 doit alors être réalisé au moyen de vecteurs de tests particuliers, sans que soit utilisé le système de test. La taille et la complexité des circuits intégrés croissant, le nombre des éléments perturbateurs devient important et il devient difficile de prévoir tous les vecteurs de test particuliers nécessaires.

Un objet de la présente invention est de prévoir un système et un procédé de test permettant de tester le plus grand nombre possible d'éléments d'un circuit intégré.

10 Pour cela, la présente invention prévoit un système de test par balayage disposant de moyens pour tester les éléments perturbateurs du test.

Pour atteindre cet objet, la présente invention prévoit un système de test d'un circuit intégré, le circuit intégré
15 comportant des bascules reliées à un bloc logique et le système de test comportant des moyens pour connecter les bascules en registre, des moyens d'inhibition des différents éléments du bloc logique susceptibles de perturber le séquençement du registre ou la propagation des signaux dans le bloc logique, et un moyen de
20 commande pour commander séparément les différents moyens d'inhibition desdits éléments du bloc logique et les moyens pour connecter les bascules en registre.

Selon un mode de réalisation de la présente invention, lesdits éléments du bloc logique sont de plusieurs types, et le
25 moyen de commande est prévu pour commander ensemble les moyens d'inhibition des éléments d'un même type.

Selon un mode de réalisation de la présente invention, des éléments d'un premier type conditionnent le signal d'horloge fourni à au moins une bascule.

30 Selon un mode de réalisation de la présente invention, des éléments d'un deuxième type conditionnent un signal d'initialisation fourni à au moins une bascule.

Selon un mode de réalisation de la présente invention, des éléments d'un troisième type comprennent des éléments de

verrouillage susceptibles d'empêcher la propagation d'au moins un signal dans le bloc logique.

La présente invention vise également un procédé de test d'un circuit intégré comportant des bascules reliées à un bloc
5 logique, comportant notamment les étapes consistant à :

a/ connecter les bascules en registre et inhiber les éléments du bloc logique susceptibles de perturber le séquen-
cement du registre, ces éléments étant groupés en ensembles d'élé-
ments de même type, puis écrire un vecteur de test dans le
10 registre,

b/ réactiver un ensemble d'éléments puis cadencer les bascules, et

c/ inhiber de nouveau l'ensemble d'éléments réactivés avant de lire séquentiellement les données contenues dans le
15 registre.

Selon un mode de réalisation de la présente invention, l'étape b/ consiste également à inactiver la connexion en registre des bascules avant de cadencer les bascules, et l'étape c/ consiste également à réactiver la connexion en registre des bascules avant
20 de lire séquentiellement les données contenues dans le registre.

Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi
25 lesquelles :

la figure 1, précédemment décrite, représente schématiquement un système classique de test par balayage d'un circuit intégré ;

la figure 2, précédemment décrite, illustre le fonc-
30 tionnement du système de test de la figure 1 ;

la figure 3, précédemment décrite, représente schématiquement un système classique de test par balayage d'un circuit intégré comprenant des éléments perturbateurs du système de test ;

la figure 4, représente schématiquement un mode de réalisation d'un système de test selon la présente invention ;

la figure 5 illustre le test d'un premier élément perturbateur du circuit de la figure 4 ;

5 la figure 6 illustre le test d'un deuxième élément perturbateur du circuit de la figure 4 ;

la figure 7 illustre le test d'un troisième élément perturbateur du circuit de la figure 4 ; et

la figure 8 représente schématiquement un mode de réalisation d'un système de test selon la présente invention.

La figure 4 représente schématiquement un système de test par balayage selon la présente invention, associé à un circuit intégré tel que représenté en figure 3. Le système de test comporte des multiplexeurs M_i et des moyens d'inhibition 4, 6 et 10 identiques aux éléments ayant les mêmes références en figure 3, connectés de manière semblable à l'exception de leurs bornes de commande. Selon la présente invention, chaque type de moyen d'inhibition est commandé par un signal de commande particulier. Les moyens d'inhibition 4, 6 et 10 reçoivent respectivement un signal de commande TEST1, TEST2 et TEST3 fourni par un moyen de commande 12. Selon la présente invention également, les multiplexeurs M_i sont commandés par un signal de commande SC1 fourni par le moyen de commande 12, qui reçoit le signal de commande SC. Le moyen de commande 12 est prévu pour produire les signaux TEST1, TEST2, TEST3 et SC1 à partir du signal SC.

Au repos, le système de test selon la présente invention n'intervient pas sur le fonctionnement du circuit.

Selon un premier mode de fonctionnement, le moyen de commande 12 fournit aux multiplexeurs M_i un signal SC1 identique au signal SC et il maintient les signaux de commande TEST1, TEST2 et TEST3 actifs. Ainsi, les moyens d'inhibition 4, 6 et 10 sont activés et l'effet des éléments perturbateurs est inhibé. Le fonctionnement du système de test est alors semblable au fonctionnement du système de test de la figure 3. Ce premier mode de fonctionnement permet d'effectuer un test par balayage classique

du circuit. Lors de ce premier mode de fonctionnement, les éléments perturbateurs 2, 5 et 8 ne sont pas testés.

Selon un second mode de fonctionnement, illustré par les figures 5, 6 et 7, le moyen de commande 12 commande successivement le test de chaque élément perturbateur, notamment en inhibant temporairement les effets de l'élément perturbateur testé, et en inhibant en permanence les effets des autres éléments perturbateurs non testés. Pour des raisons de simplicité d'écriture, on utilise dans les figures 5, 6 et 7 suivantes des références TD1 à TD6 et t1 à t6 déjà utilisées en figure 2, mais qui représentent des données de test et des instants différents aux différentes figures.

La figure 5 illustre le test de l'élément perturbateur 2. Pendant toute la durée du test, les signaux de commande TEST2, TEST3 et SC1, sont maintenus actifs, de manière que les bascules FF1, FF2 et FF3 forment le registre de test et que l'effet des éléments perturbateurs 5 et 8 soit inhibé. Le signal de commande TEST1 est égal au signal SC reçu par le bloc 12.

Lors d'une première étape, le signal TEST1 est maintenu actif de manière que le signal EN1 fourni par le bloc LB à l'élément 2 ne soit pas susceptible de perturber le séquençement du registre de test. Des données de test TD3, TD2 et TD1 sont successivement présentées à la borne SI en cadence avec des impulsions du signal d'horloge CLK, à des instants t1, t2 et t3, de manière que les données TD3, TD2 et TD1 soient respectivement mémorisées dans les bascules FF3, FF2 et FF1 à partir de l'instant t3. Le vecteur de test correspondant aux données TD3, TD2 et TD1 est choisi pour conférer au bloc logique LB un état tel que le signal EN1 est normalement actif.

Lors d'une deuxième étape, une durée prédéterminée après l'instant t3, le signal TEST1 est rendu inactif de manière que la porte 4 transmette le signal EN1 à l'élément 2. Si l'élément 2 ou sa connexion présente une erreur et que le signal EN1 est inactif, au lieu d'être actif comme il devrait l'être, la bascule FF2 n'est pas cadencée lors de l'impulsion suivante du

signal CLK, à un instant t_4 . La donnée TD2 reste alors mémorisée dans la bascule FF2 après l'instant t_4 , alors que c'est la donnée TD1 qui aurait dû être introduite dans la bascule FF2.

5 Lors d'une troisième étape, le signal de commande TEST1 est de nouveau rendu actif une durée prédéterminée après l'instant t_4 . Les données contenues dans les bascules FF1, FF2 et FF3 sont décalées dans le registre de test en cadence avec les impulsions du signal d'horloge CLK, à des instants t_5 et t_6 , et fournies successivement à la borne SO pour être analysées.

10 Aux instants t_4 , t_5 et t_6 , on introduit dans le registre de test un nouveau vecteur de test TD6, TD5 et TD4. Ce nouveau vecteur de test est choisi pour conférer au bloc logique un état dans lequel le signal EN1 est normalement inactif. On répète ensuite les deuxième et troisième étapes précédentes pour vérifier que l'élément 2 ou sa connexion ne présente pas une erreur
15 qui maintient le signal EN1 actif.

La figure 6 illustre le test de l'élément perturbateur 5. Les signaux de commande TEST1, TEST3 et SC1, sont maintenus actifs, de manière que les bascules FF1, FF2 et FF3 forment le
20 registre de test et que l'effet des éléments perturbateurs 2 et 8 soit inhibé. Le signal de commande TEST2 est égal au signal SC reçu par le bloc 12.

Lors d'une première étape, le signal TEST2 est maintenu actif de manière que le signal RS fourni par l'élément 5 ne soit
25 pas susceptible de perturber le séquençement du registre de test. Des données de test TD3, TD2 et TD1 sont successivement présentées à la borne SI en cadence avec des impulsions du signal d'horloge CLK, à des instants t_1 , t_2 et t_3 , de telle manière que les données TD3, TD2 et TD1 sont respectivement mémorisées dans
30 les bascules FF3, FF2 et FF1 et fournies aux bornes d'entrée I3, I2 et I1 à partir de l'instant t_3 . Les données TD3, TD2 et TD1 forment un vecteur de test destiné à commander l'activation du signal RS par l'élément 5. Ainsi, lors d'un fonctionnement normal du bloc logique, le signal RS provoquerait une réinitialisation
35 du contenu de la bascule FF3. Pendant la première étape, rien ne

se produit du fait de la présence du signal TEST2 à un état actif.

Lors d'une deuxième étape, à un instant t_3' postérieur à l'instant t_3 , le signal de commande TEST2 est rendu inactif de manière que le signal RS commande directement la borne d'initialisation de la bascule FF3. Si l'élément 5 ou sa connexion présente une erreur qui maintient le signal RS inactif, la bascule FF3 n'est pas réinitialisée et la donnée TD3 reste mémorisée dans la bascule FF3 pendant la période représentée en hachuré en figure 6. De plus, lors de l'impulsion suivante du signal CLK, qui se produit à un instant t_4 , la donnée TD2 est mémorisée dans la bascule FF3 au lieu que la bascule FF3 reste réinitialisée. Si le signal RS est actif, la donnée TD3 est remplacée dans la bascule FF3 par une valeur d'initialisation et la bascule FF3 reste réinitialisée après l'instant t_4 .

Lors d'une troisième étape, le signal de commande TEST2 est de nouveau rendu actif une durée prédéterminée après l'instant t_4 . A l'instant t_4 et à des instants t_5 et t_6 représentant les impulsions suivantes du signal d'horloge CK, on introduit dans le registre de test un nouveau vecteur de test TD6, TD5 et TD4. Le vecteur TD6, TD5 et TD4 est choisi pour conférer au bloc logique un état dans lequel le signal RS est inactivé par l'élément 5. On répète ensuite la deuxième étape précédente pour vérifier que l'élément 5 ou sa connexion ne présente pas une erreur qui maintient le signal RS actif.

La figure 7 illustre le test de l'élément perturbateur 8. Les signaux de commande TEST1 et TEST2 sont maintenus actifs de manière que l'effet des éléments perturbateurs 2 et 8 soit inhibé. Les signaux de commande TEST3 et SC1 sont égaux au signal SC reçu par le bloc 12.

Lors d'une première étape, le signal de commande SC1 est rendu actif de manière que les bascules FF1, FF2 et FF3 forment le registre de test. Le signal de commande TEST3 est également actif, et la propagation du signal OD fourni par le bloc LB à la borne O1 n'est pas susceptible d'être perturbée par

le commutateur 8, quelle que soit la valeur du signal EN2 fourni au commutateur 8. Des données de test TD3, TD2 et TD1 sont successivement présentées à la borne SI en cadence avec des impulsions du signal d'horloge CLK, à des instants t1, t2 et t3, de telle manière que les données TD3, TD2 et TD1 sont respectivement mémorisées dans les bascules FF3, FF2 et FF1 et fournies aux bornes d'entrée I3, I2 et I1 à partir de l'instant t3. On appelle TD3', TD2' et TD1' les données qui sont alors présentes sur les sorties O3, O2 et O1 du bloc LB. L'élément de mémorisation 9 mémorise la valeur TD1'.

Lors d'une deuxième étape, une durée prédéterminée après l'instant t3, les signaux de commande TEST3 et SC1 sont rendus inactifs. Le signal EN2 commande alors directement le commutateur 8 et les multiplexeurs relient les bornes de sortie O3, O2 et O1 du bloc logique aux bornes d'entrée D3, D2 et D1 des bascules. Lors de l'impulsion suivante du signal CLK, à un instant t4, les données TD3', TD2' et TD1' sont mémorisées dans les bascules D3, D2 et D1. Les données TD3', TD2' et TD1' sont alors fournies par les bascules aux bornes I3, I2 et I1 du bloc logique. On appelle TD1" la valeur que prend le signal OD après l'instant t4. Les données TD3', TD2' et TD1' forment un vecteur de test choisi pour conférer au bloc LB un état dans lequel le signal EN2 est inactif et commande l'ouverture du commutateur 8. Si le commutateur 8 ou sa connexion présentent une erreur qui maintient le commutateur 8 fermé, la donnée TD1" est fournie à la bascule FF1 après l'instant t4, comme cela a été illustré. Si le commutateur 8 ne présente pas d'erreurs et que le signal EN2 commande l'ouverture du commutateur 8 à l'instant t4, la donnée TD1" n'est pas fournie à la bascule FF1, et la bascule FF1 conserve la donnée TD1'.

Lors d'une troisième étape, les signaux SC1 et TEST3 sont de nouveau rendus actifs une durée prédéterminée après l'instant t4. Les données contenues dans les bascules FF1, FF2 et FF3 sont décalées dans le registre de test en cadence avec les

impulsions du signal d'horloge CLK, à des instants t5 et t6, et fournies successivement à la borne SO.

5 Aux instants t4, t5 et t6, on introduit dans le registre de test un nouveau vecteur de test TD6, TD5 et TD4, par exemple choisi pour conférer au bloc LB un état dans lequel le signal EN2 est actif. On répète ensuite les deuxième et troisième étapes précédentes pour vérifier que le commutateur 8 n'est pas maintenu fermé.

10 Un système de test selon la présente invention permet ainsi de tester les éléments perturbateurs du test par balayage, ce qui représente un premier avantage.

15 Le bloc 12 produit les signaux TEST1, TEST2, TEST3 et SC1 à partir du signal SC. Ainsi, un système de test selon la présente invention permet de tester les éléments perturbateurs du test par balayage sans avoir recours à un grand nombre de bornes de test particulières destinées à recevoir chacune l'un des signaux TEST1, TEST2, TEST3 et SC1, ce qui représente un avantage supplémentaire de la présente invention.

20 Le circuit représenté ne comporte à titre d'exemple qu'un élément perturbateur de chaque type. Lorsqu'un circuit présente plusieurs éléments perturbateurs de même type, c'est-à-dire ayant chacun un même effet sur des éléments semblables du circuit, la présente invention prévoit de commander les moyens d'inhibition de ces éléments perturbateurs de même type par un même signal de commande fourni par le moyen 12. Une telle commande des moyens d'inhibition permet notamment d'effectuer le test des éléments perturbateurs rapidement au moyen d'un faible nombre de vecteurs de test, ce qui représente un avantage supplémentaire de la présente invention.

30 Le moyen de commande, de structure simple, a une taille réduite. Ainsi, un système de test selon la présente invention a sensiblement la même taille qu'un système de test par balayage classique, ce qui représente un avantage supplémentaire de la présente invention.

En outre, la présente invention prévoyant d'isoler le test de chaque type d'élément perturbateur, les vecteurs de test utilisés pour chaque type d'élément perturbateur peuvent être générés automatiquement et rapidement par un calculateur disposant d'une liste des éléments du circuit et de leurs connexions. Cela représente un avantage supplémentaire de la présente invention.

Bien entendu, la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme de l'art. Les éléments perturbateurs 2, 5 et 8 représentés en figure 4 ne sont donnés qu'à titre d'exemple. Il existe de nombreux types d'éléments perturbateurs du test par balayage, généralement connus sous le nom "d'exceptions aux règles de testabilité par balayage", et l'homme du métier adaptera sans difficultés la présente invention aux types d'éléments perturbateurs qui n'ont pas été représentés ici.

La figure 8 représente schématiquement un mode de réalisation d'un système de test selon la présente invention, adapté au test d'un élément perturbateur 8 particulier. Les éléments perturbateurs 2 et 5 précédents n'ont pas été représentés en figure 8. En figure 8, le signal OD est fourni directement par la sortie de la bascule FF2, et la borne O1 et l'élément de mémorisation 9 sont reliés à un bus trois-états TB. Le bus TB reçoit en outre des signaux OD4, OD5, OD6 par l'intermédiaire de commutateurs 18, 20 et 22. Les commutateurs 18, 20 et 22 reçoivent du bloc LB des signaux EN4, EN5, EN6. Le commutateur 8 est commandé par une porte NON-OU recevant en entrée les signaux EN4, EN5, EN6 et l'inverse du signal TEST3. Lorsque le signal TEST3 est activé, la borne O1 est commandée soit par les signaux OD4, OD5, OD6, soit par la bascule FF2, et le circuit reste combinatoire quel que soit l'état des signaux EN4, EN5, EN6.

Les étapes et les vecteurs de test des éléments perturbateurs 2, 5 et 8 ont également été décrits à titre d'exemple, mais l'homme du métier adaptera sans difficultés la présente

invention à d'autres étapes de test et à d'autres vecteurs de test.

La présente invention a été décrite en relation avec un circuit comprenant un seul bloc logique et trois bascules, mais
5 l'homme du métier adaptera sans difficultés la présente invention à un circuit comprenant un plus grand nombre de blocs logiques et/ou un plus grand nombre de bascules. Si le circuit comporte plusieurs blocs logiques, chaque bloc logique pourra être testé séparément.

REVENDICATIONS

1. Système de test d'un circuit intégré, le circuit intégré comportant des bascules (FF1, FF2, FF3) reliées à un bloc logique (LB) et le système de test comportant :

des moyens (M1, M2, M3) pour connecter les bascules en
5 registre, et

des moyens d'inhibition (4, 6, 10) des différents éléments (2, 5, 8) du bloc logique susceptibles de perturber le séquençement du registre (2, 5) ou la propagation des signaux dans le bloc logique (8),

10 caractérisé en ce qu'il comprend un moyen de commande (12) pour commander séparément les différents moyens d'inhibition (4, 6, 10) desdits éléments (2, 5, 10) du bloc logique, et les moyens (M1, M2, M3) pour connecter les bascules en registre.

2. Système de test d'un circuit intégré selon la revendication 1, dans lequel lesdits éléments (2, 5, 10) du bloc logique (LB) sont de plusieurs types, et dans lequel le moyen de commande (12) est prévu pour commander ensemble les moyens d'inhibition (4, 6, 10) des éléments d'un même type.

3. Système de test d'un circuit intégré selon la revendication 2, dans lequel des éléments (2) d'un premier type conditionnent le signal d'horloge (CLK) fourni à au moins une bascule (FF1).

4. Système de test d'un circuit intégré selon la revendication 2 ou 3, dans lequel des éléments (5) d'un deuxième type conditionnent un signal d'initialisation (RS) fourni à au moins
25 une bascule (FF3).

5. Système de test d'un circuit intégré selon l'une quelconque des revendications 2 à 4, dans lequel des éléments d'un troisième type comprennent des éléments de verrouillage (8)
30 susceptibles d'empêcher la propagation d'au moins un signal (OD) dans le bloc logique (LB).

6. Procédé de test d'un circuit intégré comportant des bascules (FF1, FF2, FF3) reliées à un bloc logique (LB), comportant notamment les étapes consistant à :



a/ connecter les bascules (FF1, FF2, FF3) en registre et inhiber les éléments (2, 5, 8) du bloc logique (LB) susceptibles de perturber le séquençement du registre, ces éléments étant groupés en ensembles d'éléments de même type, puis écrire
5 un vecteur de test (TD1, TD2, TD3) dans le registre,

b/ réactiver un ensemble d'éléments puis cadencer les bascules, et

c/ inhiber de nouveau l'ensemble d'éléments réactivés avant de lire séquentiellement les données contenues dans le
10 registre.

7. Procédé de test d'un circuit intégré selon la revendication 6, dans lequel :

l'étape b/ consiste également à inactiver la connexion en registre des bascules (FF1, FF2, FF3) avant de cadencer les
15 bascules ; et

l'étape c/ consiste également à réactiver la connexion en registre des bascules (FF1, FF2, FF3) avant de lire séquentiellement les données contenues dans le registre.

1/6

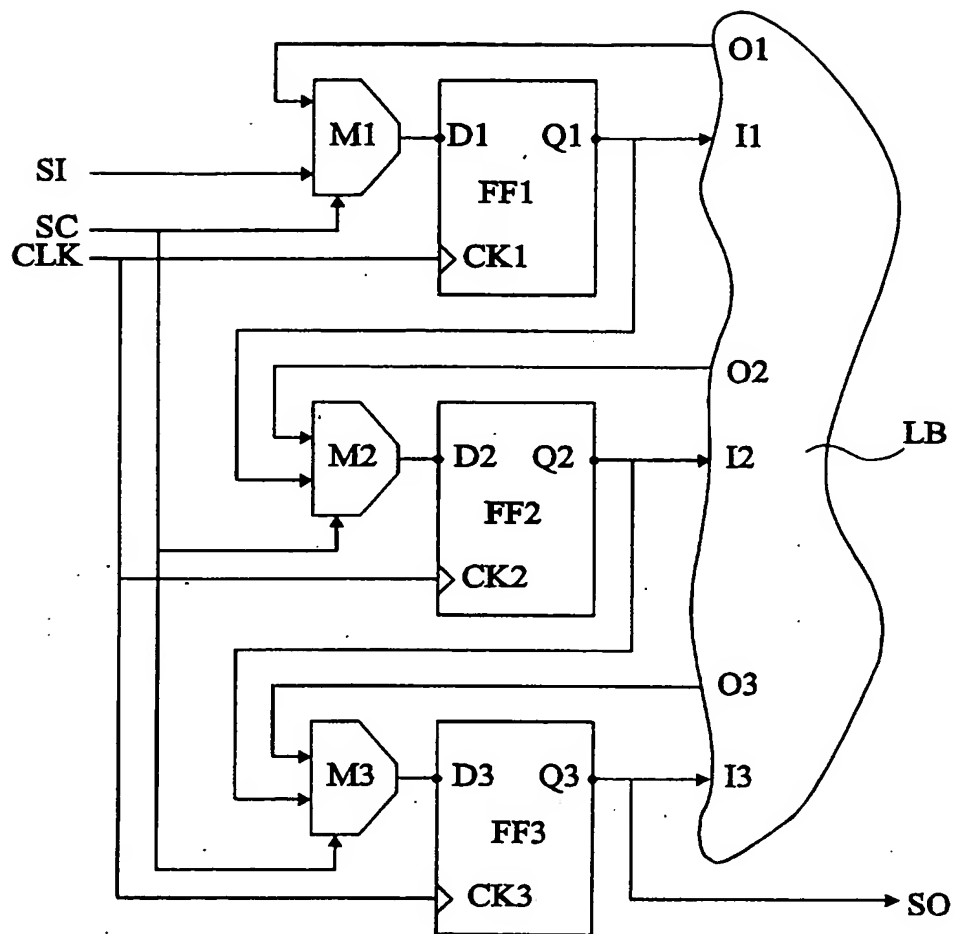


Fig 1

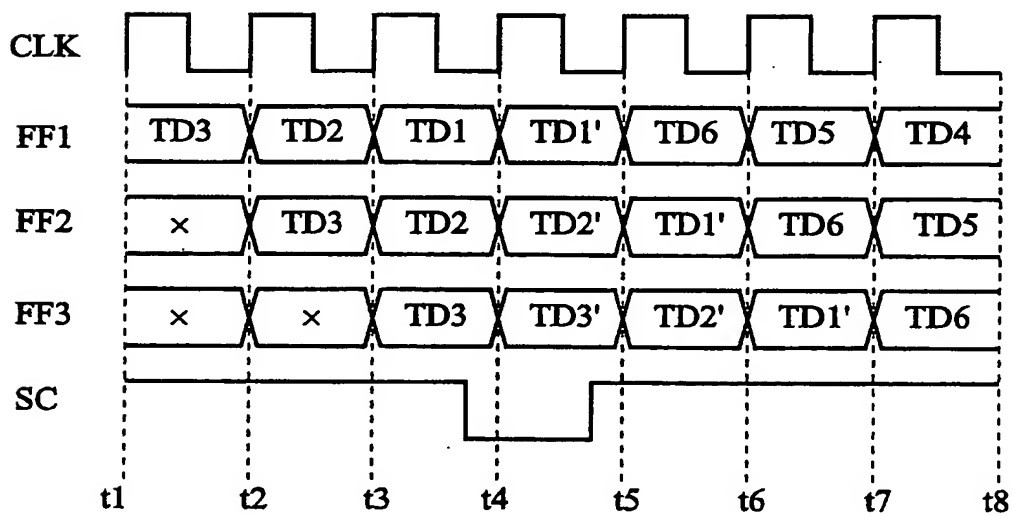


Fig 2

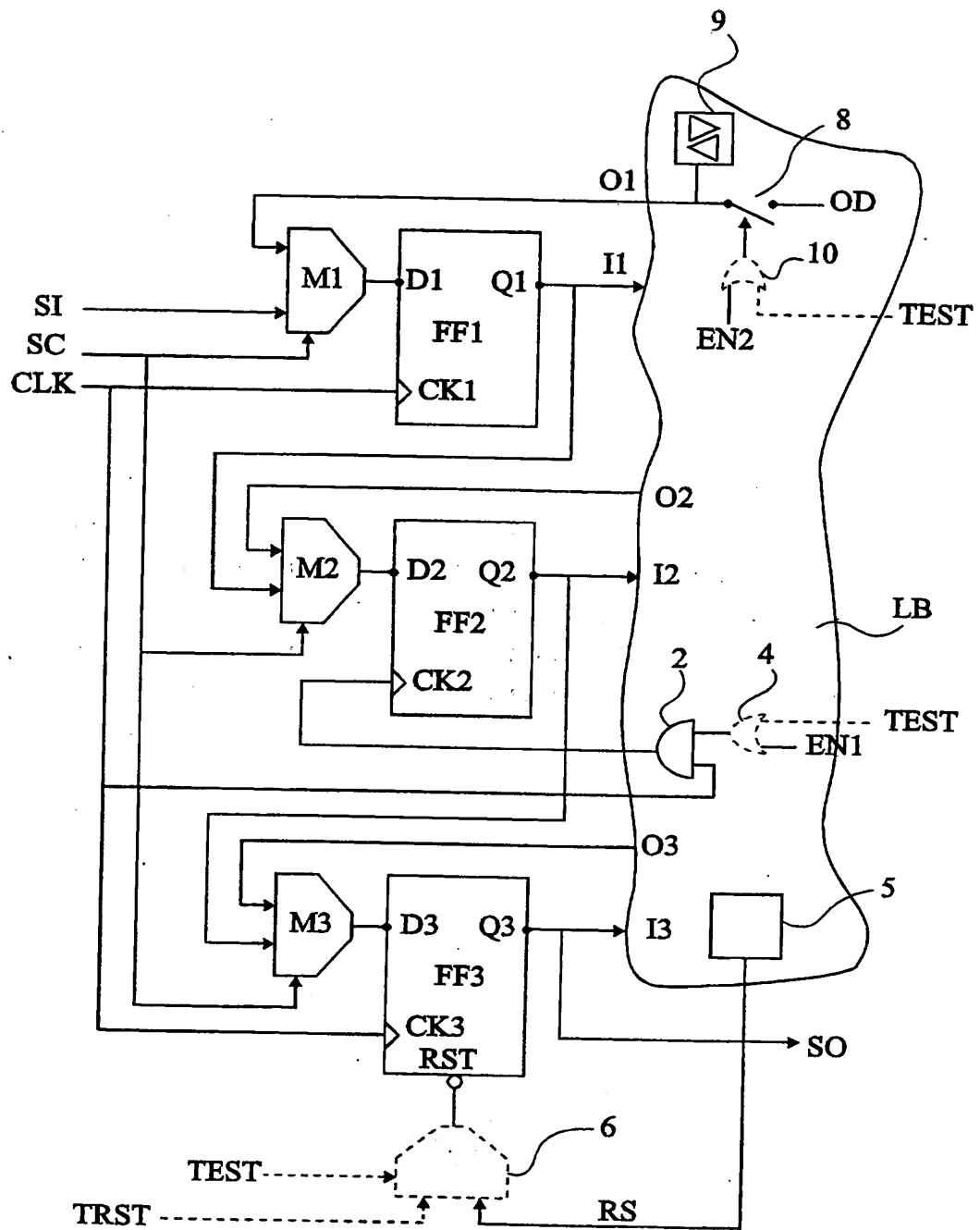


Fig 3

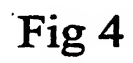


Fig 4

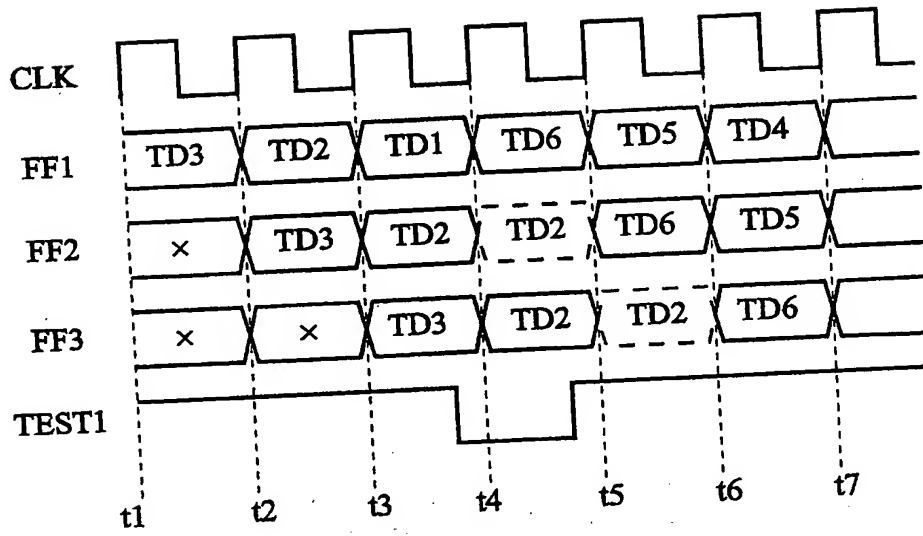


Fig 5

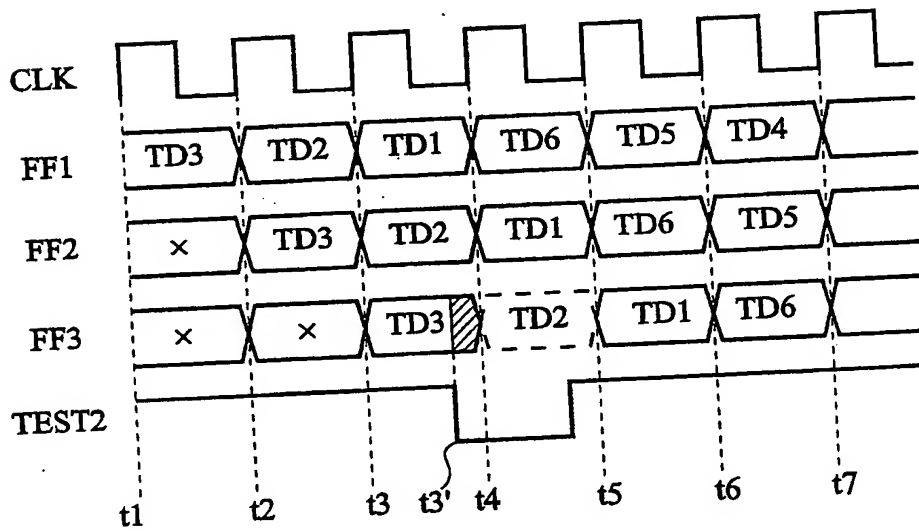


Fig 6

5/6

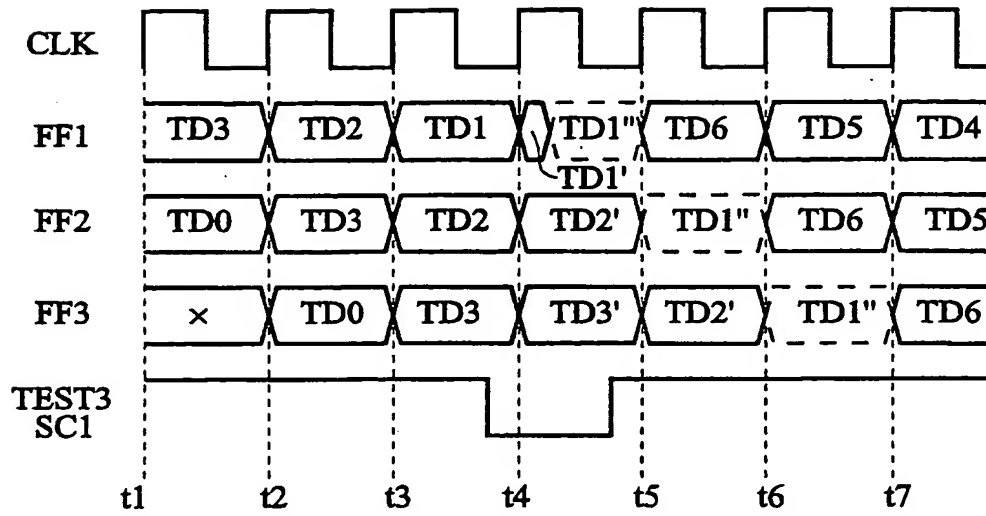


Fig 7

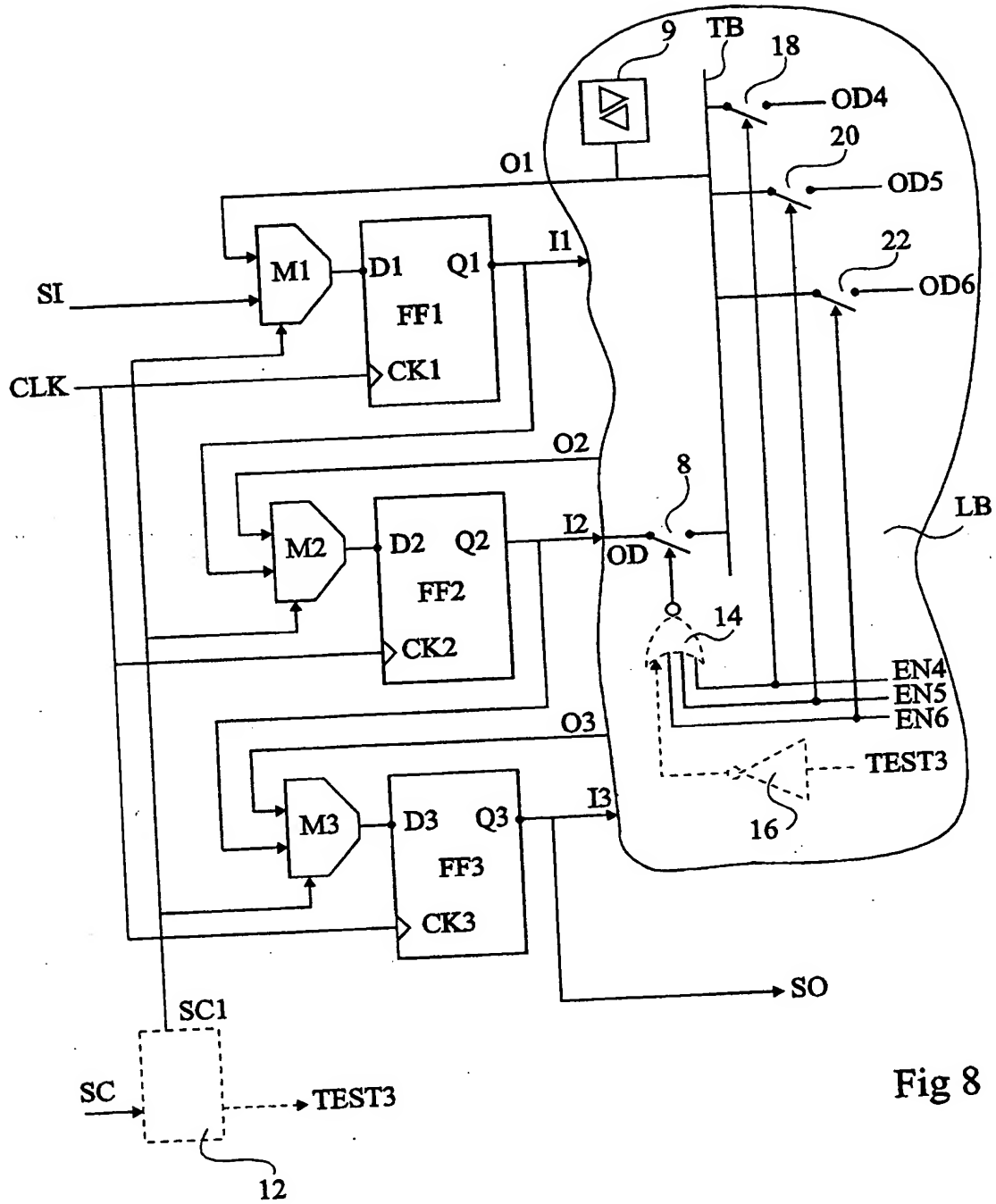


Fig 8



DÉPARTEMENT DES BREVETS
26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

reçue le 16/03/01


**BREVET D'INVENTION,
CERTIFICAT D'UTILITÉ**

Code de la propriété intellectuelle-Livre VI

cerfa
N° 55-1328

DÉSIGNATION D'INVENTEUR(S) PAGE N° 1/ 1
(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

Vos références pour ce dossier (facultatif)		B4949	
N° D'ENREGISTREMENT NATIONAL		0 102 584	
TITRE DE L'INVENTION (200 caractères ou espaces maximum) PROCÉDÉ ET SYSTÈME DE TEST D'UN CIRCUIT INTÉGRÉ			
LE(S) DEMANDEUR(S) STMicroelectronics SA Infineon Technologies AG			
DESIGNE (NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite "Page N° 1/1" S'il y a plus de trois inventeurs, utilisez un formulaire identique numérotez chaque page en indiquant le nombre total de pages).			
Prénoms & Nom		Jacques Prunier	
ADRESSE	Rue	3, Hameau du Château	
	Code postal et ville	38360	SASSENAGE, FRANCE
Société d'appartenance (facultatif)			
Prénoms & Nom			
ADRESSE	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
Prénoms & Nom			
ADRESSE	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
DATE ET SIGNATURE (S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire) Laurent Thibon Mandataire n° 92-4089 Le 26 février 2001 			

THIS PAGE BLANK (USPTO)